

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-023005

(43)Date of publication of application : 21.01.1997

(51)Int.CI.

H01L 29/78
H01L 21/336

(21)Application number : 07-170968

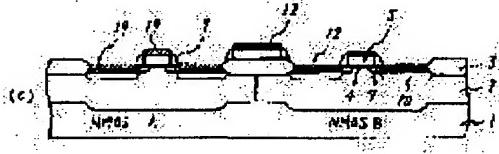
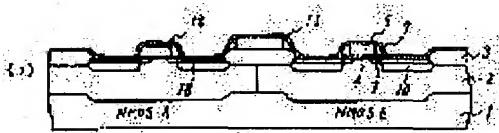
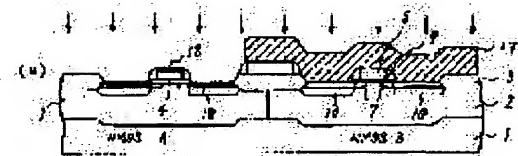
(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.07.1995

(72)Inventor : KIMURA MASATOSHI
SUGIYAMA MASAO**(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE****(57)Abstract:**

PROBLEM TO BE SOLVED: To highly reliably form high-resistance areas the resistance values of which do not drop at parts of a gate electrode and source-drain areas in a semiconductor device in which silicide layers are formed on the gate electrode and source-drain areas by using a siliciding technology.

SOLUTION: After a gate electrode 5 and source-drain areas 10 are formed and N and O ions are implanted into a prescribed area by using a resist mask 17, a Ti layer 11 is deposited on the entire surface and high-resistance Ti_xNySi_z mixing layers 19 and a low-resistance $TiSi_2$ layer 12 are respectively formed in prescribed areas on the electrode 5 and the source-drain areas 10 and on the other area by siliciding the Ti layer 11 by heat-treating the layer 11 in a self-aligning way.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP) (20)公開特許公報 (A)

(11)特許出願公開番号

特開平9-23005

(43)公開日 平成9年(1997)1月21日

(5)InhCI*	識別記号	内実整理番号	F1	技術表示箇所
H01L 29/78		301P	301L	

21/336

301G

301S

審査請求 未請求 請求項の数14 0L (全16頁)

(21)出願番号 特願平7-170963

(71)出願人 000000013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号 三

(72)発明者 木村 駿哉

東京都千代田区丸の内二丁目2番3号 三

(74)代理人 弁理士 高田 守 (外4名)

三菱電機株式会社内

(22)出願日 平成7年(1995)7月6日

(73)発明の範囲 半導体装置およびその製造方法

(57)【要約】 ゲート電極上およびソース・ドレイン領域と、この導電層上にシリサイド技術により形成されたシリサイド層とを有し、上記シリサイド層の一部を、NイオンあるいはOイオンが導入された高抵抗シリサイド層で構成したことを特徴とする半導体装置。

【請求項1】 単結晶シリコンから成るゲート電極を形成後、上記ゲート電極上および上記シリサイド層間にシリサイド層から成る導電層となるゲート電極を形成し、その後イオン注入により導電層となるソース・ドレイン領域を形成する工程と、その後、レジストマスクを用いて所定の領域にイオンまたはOイオンを注入する工程と、上記半導体基板上の全面に金属層を堆積する工程と、上記半導体基板上に熱処理を施すことにより上記ゲート電極上および上記シリサイド層の上記金属層を自己結合的にシリサイド化し、その後未反応の上記金属層を除去する工程と、その後することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項2】 ゲート電極およびソース・ドレイン領域を形成後、NイオンまたはOイオンを所定の領域に注入し、その後全面に金属層を堆積して、熱処理により自己整合的にシリサイド化することにより、Nイオン注入領域またはOイオン注入領域の上記ゲート電極上および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項3】 ゲート電極およびソース・ドレイン領域を形成後、NイオンまたはOイオンを所定の領域に注入し、その後全面に金属層を堆積して、熱処理により自己整合的にシリサイド化することにより、Nイオン注入領域の上記ゲート電極上および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項4】 ゲート電極およびソース・ドレイン領域を形成後、全面に金属層を堆積した後、NイオンまたはOイオンを所定の領域に注入し、その後熱処理により上記金属層を自己整合的にシリサイド化することにより、Nイオン注入領域またはOイオン注入領域の上記ゲート電極上および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項5】 ゲート電極およびソース・ドレイン領域を形成後、全面に金属層を堆積して熱処理により自己整合的にシリサイド化し、その後NイオンまたはOイオンを所定の領域に注入することにより、Nイオン注入領域の上記ゲート電極上および上記ソース・ドレイン領域上に低抵抗シリサイド層を形成することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項6】 ゲート電極およびソース・ドレイン領域を形成後、全面に金属層を堆積して熱処理により自己整合的にシリサイド化し、その後NイオンまたはOイオンを所定の領域に注入することにより、Nイオン注入領域の上記ゲート電極上および上記ソース・ドレイン領域上に高抵抗シリサイド層を形成する。

(1)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(2)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(3)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(4)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(5)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(6)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(7)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(8)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(9)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(10)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(11)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(12)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(13)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(14)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(15)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(16)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(17)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(18)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(19)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(20)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(21)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(22)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(23)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(24)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(25)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(26)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(27)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(28)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(29)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(30)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS A

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

(31)

1:半導体基板
2:ガーフィールド
3:ゲート電極
4:NiPS B

5:ソース・ドレイン領域
6:シリサイド層
7:シリカ層

8:ガート電極
9:ソース・ドレイン領域
10:シリサイド層

11:シリカ層
12:シリカ層
13:シリカ層

接続される出力ドライバの上記ソース・トレンジ領域上が、上記外部バッファへの接続の為のコンタクトホールAが、上記入力ドライバの上記ゲート電極への接続の為のコンタクトホールBに対して、上記出力ドライバの上記ゲート電極に配設され、上記コンタクトホールA部を経て、上記コンタクトホールB部との間および周間に、NイオンあるいはOイオンが導入された高抵抗シリサイド層を形成するか、あるいはシリサイド層を形成しないことを特徴とする半導体装置が、上記コンタクトホールA部を経て、上記出力ドライバの上記ソース・トレンジ領域上における上記配線層のコンタクトホール部の周囲に接続され、上記出力ドライバの上記ソース・トレンジ領域上における上記配線層のコンタクトホール部の周囲と、上記配線層と接続する上記入力ドライバの上記ゲート電極上とに、NイオンあるいはOイオンが導入された高抵抗シリサイド層を形成するか、あるいはシリサイド層を形成しないことにより、高抵抗領域を形成したことと特徴とする半導体装置。

して、下地のドープシリコン膜 5a をエッチングして導電層となるゲート電極 5 を形成する(図11)。次に、ホトレジスト膜 6 を除去した後(図1,2)、N型LDD領域 7 が形成される。N型LDD領域 7 はP等の不純物を基板 1 上から注入する(図1,3)。次に、全面にTEOS膜 8 を約0.05~0.2μmの膜厚に堆積した後(図14)、異方性ドライエッティングにより全面エッチバックして、ゲート電極 5 側壁にサイドワールド 9 を形成する(図15)。次に、導電層となるソース・ドレイン領域 10 が形成される。イオン注入法によりA_sまたはP等の不純物を基板 1 上から注入する(図16)。この後、サリサイド技術を用いて、サイド壁をゲート電極 5 およびソース・ドレイン領域 10 上に形成する方法を以下に示す。上記の様にソース・ドレイン領域 10 が形成された基板 1 上の全面に金属層 11 としてのTi層 11 を、例えばスパッタ法により堆積する(図17)。その後、基板 1 にランプアニーリング等の熱処理を施すことにより、シリコン上のTi層 11 と下地のシリコンとの反応させ低抵抗シリサイド層としてのTi-Si層 12 に変成される(図18)。この後、未反応のTi層 11 をH₂SO₄/H₂O₂等の浴液を用いて除去する。これによりシリコン上、すなわち、ゲート電極 5 およびソース・ドレイン領域 10 上にのみTi-Si層 12 が自己整合的に形成される(図19)。この後、層間絶縁膜および電極配線層の形成を行い、所定の処理を施してN MOSトランジスタの完成をする(図示せず)。

(1) ESD₁とすることで、L_{SI}では一般に、静電破壊(ESD₁)と称す)等から内部回路を保護するため、入出力保護回路を設ける。その場合、上述した様なシリサイド技術により、入出力保護回路を構成するトランジスタのゲート 5 上、およびソース・ドレイン領域 10 上にTi-Si層 12 等の低抵抗なシリサイド層が形成されると、外部パットから入力されたサージによる影響を受けやすくなる。特に図19に示すソース・ドレン領域 10 のコーナー部 13 は電界集中を起こしやすく、上記サージがソース・ドレイン領域 10 の抗酸化抵抗 $1/10$ 以下であるシリサイド層の抵抗(Ti-Si層 12 の抵抗率:約1.3~1.8μΩ·cm)を経て上記コーナー部 13 に到達することによりその部分で接合破壊を生じ易い。

(2) このため、シリサイド技術を用いてL_{SI}を製造する際、入出力保護回路を構成するトランジスタによれば、選択的に低抵抗なシリサイド層を形成しない方法が考案されている。例えばUS-Pat.5,021,853号公報に示される半導体装置の製造方法を図20に基づいて以下に示す。まず、図10~図13で示した同様の方法により、ゲート電極 5 形成後N型LDD領域 7 を形成する。その後全面にTEOS膜 8 を堆積後、レジストマスクを用いて異方性ドライエッティングにより選択的

にエッチングすることにより、NMOSトランジスタ領域となる領域上にTEOS膜8aを残存させ、NMOStトランジスタB領域となる領域のゲート電極5側壁にサイドウォール9を形成する(図20(a))。

[0007] 次に、N⁺型ソース・ドレイン領域10形成のため、イオン注入法によりAsまたはP等の不純物を基板1上から注入する(図20(b))。この後、全面にTi層11を例えばスパッタ法により堆積した後、ランブアニール等の熱処理を施してシリコン上のTi層11をTiSi₂層12に変成させ、その後反応が形成されたNMOSトランジスタA領域にはTiSi₂層12は形成されず、NMOSトランジスタBのゲート電極5上およびソース・ドレイン領域10上に、選択的にTi層11を除去する。これによりTiSi₂層12が形成される(図20(c))。

[0008] この様にして、同一基板1上で、サリサイト技術を用いて低抵抗シリサイド層を形成する際に、選択的に低抵抗シリサイド層を形成しない領域を製造する。しかしながら、上記の様な製造方法では、ソース・ドレイン領域10の形成のためのイオン注入の際、NMOSTランジスタAではTEOS膜8a上から、NMOSトランジスタBではTEOS膜8bが除去された基板1シリコン上からの注入である。このためNMOSトランジスタAとNMOSトランジスタBとでは、ソース・ドレイン領域10の不純物分布が異なってしまう。余分なオシ注入工程を追加する事によって上記ソース・ドレン領域10の不純物分布を削えることは可能であるが、工程が繁雑になるものである。

[0009] この様な問題点を改善する遂行の別例による半導体装置の製造方法を図21に基づいて以下に示す。まず、図10～図16で示したと同様の方法により、ゲート電極5形成後N⁺型LDD領域7を形成し、全面にTEOS膜8を堆積後、全面エッチングしてサイドウォール9を形成し、その後、N⁺型ソース・ドレイン領域10を形成する。次に、全面に第2のTEOS膜14を堆積し(図21(a))、その上の全面にホトマスクとして、異方性ドライエッチングにより、選択的にレジスト膜15を形成後、ホトリソグラフィ技術によりパターニングする。このホトレジスト・パターン15をマスクにして、異方性ドライエッチングにより、選択的にエッチングすることにより、NMOSトランジスタA領域上に第2のTEOS膜14aを残存させ、NMOSトランジスタB領域においてはゲート電極5に第2のサイドウォール16を形成する。ゲート電極5には既にサイドウォール9が形成されているため、第2のサイドウォール16はサイドウォール9の外側に形成される(図21(b))。

[0010] その後、ホトレジスト膜15を除去した後(図21(c))、全面にTi層11を例えばスパッタ法により堆積した後(図21(d))、ランブアニール等の熱処理を施してシリコン上のTi層11をTiSi₂層12に

2層12に変成させ、その後反応のTi_x層11を除去する。これにより第2のTEOS膜14aが形成され、NMOSトランジスタA領域にはTi_x層12は形成されず、NMOSトランジスタB領域10上に、選択的にTi_x層12が形成される(図21(e))。

[0011]

【発明が解決しようとする課題】しかしながら上記の段階に、ソース・ドレイン領域10形成後に、第2のTECC-S膜14aをマスクとしてシリサイド技術を用いると、異なる問題が発生されるが、第2のTEOS膜14aをバターニングする際、第2のサイドウォール16がゲート電極10側面に形成されてしまう。このためNMOSトランジスタBにおいて、ソース・ドレイン領域10上のTi_x層12の面積が第2のサイドウォール16の分だけ減少してしまい、ソース・ドレイン間ににおいてシリコンから成る導電線上に低抵抗シリサイド層を形成する半導体装置において、選択的に上記低抵抗シリサイド層を形成しない高抵抗領域を設け、上記低抵抗シリサイド層の形成領域と高抵抗領域とのことで、低抵抗シリサイド層の面積が減少して抵抗値が大きくなり、素子の動作速度が劣化することが防止された、高速で信頼性の高い半導体装置を得ることを目的とする。

[0013]

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、半導体基板上に、シリコンから成る導電層と、この導電層上にシリサイド技術により形成されたシリサイド層とを有し、上記シリサイド層の一部を、NイオンあるいはOイオンが導入された高抵抗シリサイド層で構成したものである。

[0014] この発明の請求項2に係る半導体装置の製造方法は、单結晶シリコンから成る半導体基板に、ポリオゾン注入によりLDL電極層を形成後、上記ゲート電極を形成し、上記LDL電極層と上記ゲート電極との間にシリウムを形成し、その後、レジストマスクを用いて所定の領域にNイオンまたはOイオンを注入する工程と、上記半導体基板上の全面に金属層を堆積する工程と、上記半導体基板に熱處理を施すことにより上記ゲート電極上および上記シーフォード電極上に上記金属層を自己整合的にシリサイド化し、その後反応の上記金属層を除去する工程と、を有するものである。

において、外部ハウジングへの接続の為のコントラクトホールA部とコントラクトホールB部との間および周囲に、NイオンあるいはOイオンが導入された高抵抗シリサイド層を形成する。あるいは、あるいはシリサイド層の高抵抗領域がないことにより、外部ハウジングから流入されたサージが、ソース・ドレイン領域のコーナー、および入力ドライバのゲート電極に到達するが、入力ドライバのゲート電極への接続の為のコントラクトホールBに対し、同一ソース・ドレイン領域内にてトポロジBに対して、同一ソース・ドレイン領域内にて電極間に配設され、コントラクトホールA部とコントラクトホールB部との間および周囲に、NイオンあるいはOイオンが導入された高抵抗シリサイド層を形成する。このためサージによる接合破壊が防止され、サージに対する人間保護機能も向上する。

【0038】また、この発明による出力ドライバに於ける、サージに対する人間保護機能も向上する。また、出力ドライバのソース・ドレイン領域上で、外部ハウジングへの接続の為のコンタクトホールAを、入力ドライバへの接続の為のコンタクトホールBに対してゲート電極間に配設したため、出力信号の遅延を低減できる。

【0039】また、この発明によると連結した配線層である外部ハウジング、出力ドライバのソース・ドレイン領域、および入力ドライバのゲート電極が順次接続されたため、出力ドライバのソース・ドレイン領域上、外部ハウジングへの接続の為のコンタクトホールは、入力ドライバのゲート電極への接続の為のコンタクトホールと共に接続される。ソース・ドレイン領域の面積が低減され、接合部異常も削減できる。また、ソース・ドレイン領域上の外部ハウジングへの接続の為のコンタクトホール部周囲、および配線層と接続する入力ドライバのゲート電極上に高抵抗領域を形成したため、外部ハウジングから流入されたサージがソース・ドレイン領域のコーナー、および入力ドライバに到達するが防止され、接合破壊の防止および人間保護機能の向上が図れる。

【0040】また、この発明によると、NイオンあるいはOイオンが導入された高抵抗シリサイド層を、ソース・ドレイン領域上でフィールド絶縁膜との境界部近傍に形成しないため、フィールド絶縁膜形成時のベースバーにより薄い絶縁膜が形成され、導電性部近傍にNイオン（またはOイオン）を注入して損傷を与えて接合リード等の劣化を生じさせるのを防止する。

【0041】

図1-0～図1-6で示した従来のものと同様の方法で、ケート電極5形成時、N_x型LD領域7を形成し、全面にTEOS膜8を堆積後、全面エッチバックしてサイドウォール9を形成し、その後、N_x型ソース・ドレイン領域10を形成する。

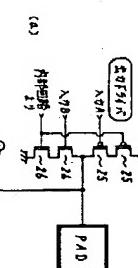
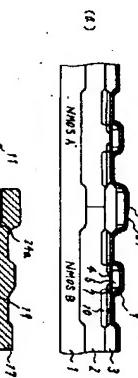
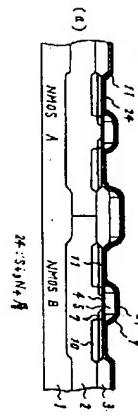
図1-2[1]次に、全面にレジストマスクとなるホトレジスト17を形成後、ホトレジストバーマー17を用いてマスクにして、基板1上からイオン注入法によりNイオン（またはOイオン）を、例えば注入エネルギー：20KeV～90KeV、注入量：4E-15～5E-16ion/cm⁻²で注入する。これにより、NMOSトランジスタA領域におけるゲート電極5およびソース・ドレン領域10にNイオン（またはOイオン）注入シリコン層18が形成される（図1-(a)）。次に、ホトレジスト膜17を除去後、前工程のイオン注入による損傷の修復および拡散のために、必要であれば基板1にランプアーナール等の熱処理を施し、その後、全面にTi層11を例えばスパッタ法により堆積する（図1-(b)）。

【0043】次に、基板1にランプアーナール等の熱処理を施して、シリコン上のTi層11を下地のシリコンと反応させシリサイド化する。このとき、NMOSトランジスタA領域では、Nイオン（またはOイオン）注入シリコン層18上のTi層11がTi_xNySiz（またはTi_xOySiz）で表されるミキシング層19に変成され、NMOSトランジスタB領域では、シリコン上のTi層11がTi_xS_y層12に変成される。この後、未反応のTi層11はH₂SO₄/H₂O₂等の浴液を用いて除去する。これによりゲート電極5およびソース・ドレン領域10上に、NMOSトランジスタB領域では低抵抗シリサイド層12としてのTi_xS_y層12、N_xトランジスタA領域では高抵抗シリサイド層としてのTi_xNySiz（またはTi_xOySiz）ミキシング層19が形成される（図1-(c)）。この後、層間絶縁膜および電極配線層の形成を行い、所定の処理を施して半導体装置を完成する（図示せす）。

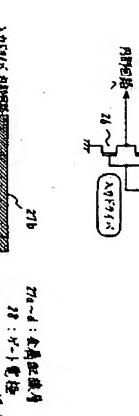
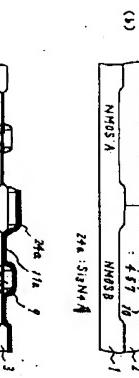
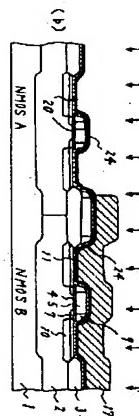
【0044】上記実施例1で形成されるTi_xNySiz（またはTi_xOySiz）ミキシング層19はTi_xS_y層12に比べると段階と高抵抗なシリサイド層であることが判っている。すなわち、上記実施例1では、シリサイド技術を用いる前に選択的にNMOSトランジスタA領域にNイオン（またはOイオン）を注入することによって、このイオン注入領域（NMOSトランジスタA領域）におけるゲート電極5上およびソース・ドレン領域10上に高抵抗なTi_xNySiz（またはTi_xOySiz）ミキシング層19を、それ以外（NMOSトランジスタB領域）のゲート電極5上およびソース・ドレン領域10上に低抵抗なTi_xS_y層12を形成するものである。

【0045】このため、低抵抗なTi_xS_y層12形成

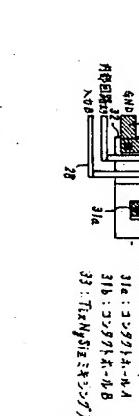
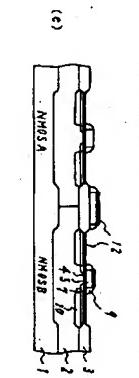
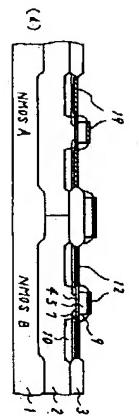
[図5]



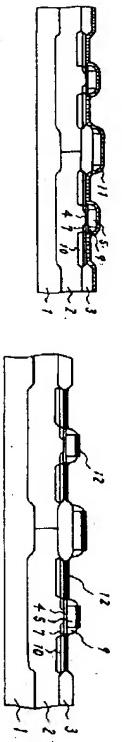
[図6]



[図7]

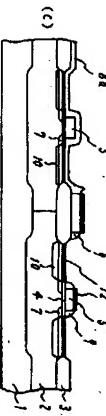
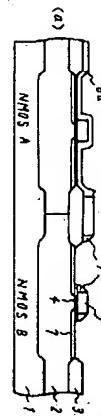


[図8]



[図9]

[図20]



[図21]

